

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-228553
 (43)Date of publication of application : 12.08.2004

(51)Int.Cl. H01L 29/78
 H01L 21/336

(21)Application number : 2003-166939 (71)Applicant : SANKEN ELECTRIC CO LTD
 (22)Date of filing : 11.06.2003 (72)Inventor : TORII KATSUYUKI
 TAKAHASHI RYOJI

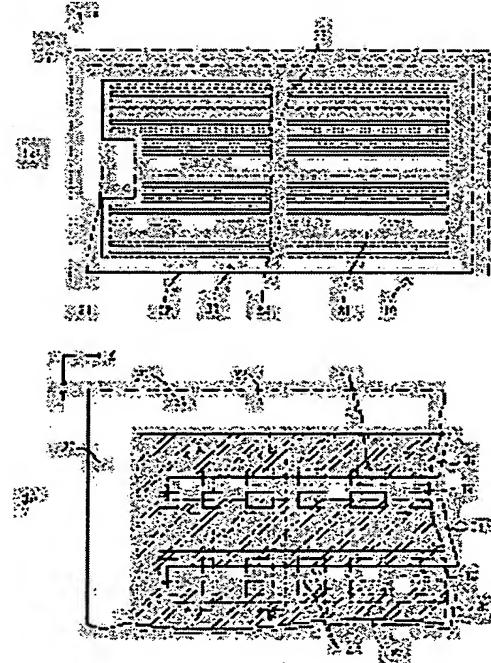
(30)Priority
 Priority number : 2002345163 Priority date : 28.11.2002 Priority country : JP

(54) INSULATED GATE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an insulated gate semiconductor device with a large load short-circuit resistance capacity which does not cause latch-up easily.

SOLUTION: On the surface of a semiconductor substrate 10, two or more gate electrodes 31 are formed mutually extending in parallel toward the circular section 22 of a bus line, and the electrodes are connected to the primary backbone 23 and secondary backbone 24 of a bus line 20 in a comb-like form. On the surface of the semiconductor substrate 10, a p-type base region 13 is exposed in a belt-like form along the gate electrode 31. An emitter region 14 is exposed intermittently in an island-like form along the same straight line in the interior of the p-type base region 13.



LEGAL STATUS

[Date of request for examination] 04.04.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-228553
(P2004-228553A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int.CI.⁷HO1L 29/78
HO1L 21/336

F1

HO1L 29/78 652B
HO1L 29/78 652K
HO1L 29/78 652S
HO1L 29/78 655G
HO1L 29/78 658A

テーマコード(参考)

審査請求 未請求 請求項の数 18 O L (全 19 頁)

(21) 出願番号

特願2003-166939(P2003-166939)

(22) 出願日

平成15年6月11日(2003.6.11)

(31) 優先権主張番号

特願2002-345163(P2002-345163)

(32) 優先日

平成14年11月28日(2002.11.28)

(33) 優先権主張国

日本国(JP)

(71) 出願人

000106276
サンケン電気株式会社
埼玉県新座市北野3丁目6番3号
100095407
弁理士 木村 滉
100109449
弁理士 毛受 隆典
鳥居 克行
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
(72) 発明者
高橋 良治
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

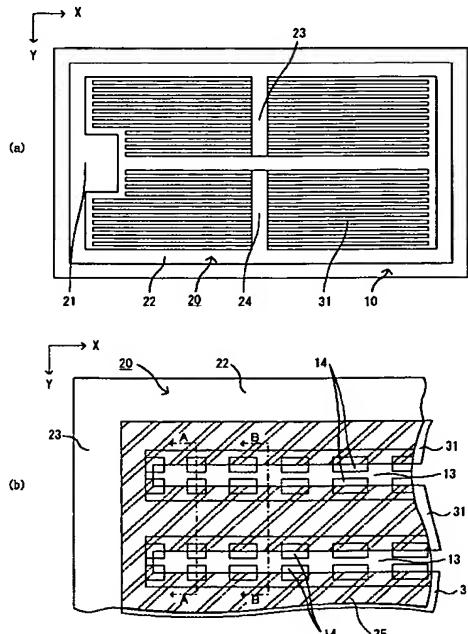
(54) 【発明の名称】絶縁ゲート型半導体素子及びその製造方法

(57) 【要約】

【課題】ラッチアップが生じ難く、負荷短絡耐量が大きな絶縁ゲート型半導体素子及びその製造方法を提供する。

【解決手段】半導体基板10の表面には、バスライン20の第1及び第2の幹部23、24に櫛歯状に接続された、互いに並行してバスライン20の環状部22に向かって延伸する複数のゲート電極31が設けられている。半導体基板10の表面にはゲート電極31に沿って、p型ベース領域13が帯状に露出している。エミッタ領域14は、p型ベース領域13の内側を同一直線上に、島状に、間欠的に露出している。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第1導電型の第1半導体領域と、
前記第1半導体領域の表面領域に帯状に形成された第2導電型の第2半導体領域と、
前記第2半導体領域の表面領域に形成された第1導電型の第3半導体領域と、
前記第1半導体領域と前記第3半導体領域とに挟まれた前記第2半導体領域に対向するよ
うに設けられた帯状のゲート電極と、
を備え、
前記第3半導体領域は、前記第2半導体領域に沿って間欠的に設けられている、ことを特
徴とする絶縁ゲート型半導体素子。

10

【請求項 2】

前記ゲート電極の一端に接続され、外部電極に接続されるバスラインを備え、前記第3半
導体領域は、前記ゲート電極と前記バスラインとの接続部分の近傍から、前記第2半導体
領域に沿って間欠的に設けられている、ことを特徴とする請求項1に記載の絶縁ゲート型
半導体素子。

【請求項 3】

前記第3半導体領域は、一定の幅を有し、帯状の前記第2半導体領域が延伸する方向にお
ける長さが、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大する
につれて増大するように設けられている、ことを特徴とする請求項2に記載の絶縁ゲート型半
導体素子。

20

【請求項 4】

前記第3半導体領域は、前記ゲート電極と対向する面積が、前記ゲート電極と前記バスラ
インとの接続部分の近傍からの距離が増大するにつれて増大するように設けられている、
ことを特徴とする請求項2に記載の絶縁ゲート型半導体素子。

【請求項 5】

前記第3半導体領域は、その露出面積が、前記ゲート電極と前記バスラインとの接続部分
の近傍からの距離が増大するにつれて増大するように設けられている、ことを特徴とする
請求項2に記載の絶縁ゲート型半導体素子。

【請求項 6】

前記第3半導体領域は、一定の幅を有し、前記ゲート電極と前記バスラインとの接続部分
からの距離が増大するにつれて、該第3半導体領域同士の間隔が減少するように設けられ
ている、ことを特徴とする請求項2に記載の絶縁ゲート型半導体素子。

30

【請求項 7】

前記第3半導体領域は、所定面積当たりに占める、該第3半導体領域の、前記第2半導体
領域の表面における露出面積の割合が、前記ゲート電極と前記バスラインとの接続部分か
らの距離が増大するにつれて増大するように設けられている、ことを特徴とする請求項2に記
載の絶縁ゲート型半導体素子。

【請求項 8】

第1導電型の第1半導体領域と、
前記第1半導体領域の表面領域に帯状に形成された第2導電型の第2半導体領域と、
前記第2半導体領域の表面領域に形成された第1導電型の第3半導体領域と、
前記第1半導体領域と前記第3半導体領域とに挟まれた前記第2半導体領域に対向するよ
うに設けられた帯状のゲート電極と、
前記第2半導体領域及び前記第3半導体領域に電気的に接続された主電極と、
を備え、
前記第2半導体領域と前記主電極との接触部分は、前記第2半導体領域に沿って間欠的に
設けられている、
ことを特徴とする絶縁ゲート型半導体素子。

40

【請求項 9】

前記ゲート電極の一端に接続され、外部電極に接続されるバスラインを備え、前記第2半
導体領域に沿って間欠的に設けられる主電極と、

50

導体領域と前記主電極との接触部分は、前記ゲート電極と前記バスラインとの接続部分の近傍から、前記第2半導体領域に沿って間欠的に設けられている、ことを特徴とする請求項8に記載の絶縁ゲート型半導体素子。

【請求項10】

前記第2半導体領域と前記主電極との接触部分の面積は、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて減少するように設けられている、ことを特徴とする請求項9に記載の絶縁ゲート型半導体素子。

【請求項11】

前記第3半導体領域は、前記第2半導体領域に沿って間欠的に設けられている、ことを特徴とする請求項10に記載の絶縁ゲート型半導体素子。

10

【請求項12】

前記第3半導体領域と前記ゲート電極とが対向する面積が、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大する、ことを特徴とする請求項11に記載の絶縁ゲート型半導体素子。

【請求項13】

第1導電型の第1半導体領域の表面領域に、帯状の第2導電型の第2半導体領域を形成する第2半導体領域形成工程と、

前記第1半導体領域および前記第2半導体領域の上に、導体層を形成する導体層形成工程と、

前記導体層をパターニングして、前記第2半導体領域の内周部が露出する帯状の開孔を形成することにより、帯状のゲート電極を形成するパターニング工程と、

帯状の前記開孔の一部を間欠的に残すレジストパターンを形成するレジストパターン形成工程と、

前記導体層及び前記レジストパターンをマスクとして、前記開孔内に第1導電型の不純物を導入し、拡散させて、帯状の前記第2半導体領域の内側に間欠的に露出する第1導電型の第3半導体領域を形成する第3半導体領域形成工程と、

を備える、ことを特徴とする絶縁ゲート型半導体素子の製造方法。

20

【請求項14】

さらに、前記ゲート電極の一端に接続され、外部電極に接続されるバスラインを形成する工程を備え、

30

前記レジストパターン形成工程では、前記レジストパターンを、前記ゲート電極と前記バスラインとの接続部分の近傍から、前記開孔の一部を間欠的に残すように形成する、ことを特徴とする請求項13に記載の絶縁ゲート型半導体素子の製造方法。

【請求項15】

前記レジストパターン形成工程では、帯状の前記第2半導体領域が一定の幅で露出し、露出部分の延伸する方向における長さが、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大するように前記レジストパターンを形成する、ことを特徴とする請求項14に記載の絶縁ゲート型半導体素子の製造方法。

【請求項16】

前記レジストパターン形成工程では、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて、前記開孔内に露出する第2半導体領域の面積が増大するように前記レジストパターンを形成する、ことを特徴とする請求項14に記載の絶縁ゲート型半導体素子の製造方法。

40

【請求項17】

前記レジストパターン形成工程では、帯状の前記第2半導体領域が一定の幅で露出し、露出部分同士の間隔が、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて減少するように前記レジストパターンを形成する、ことを特徴とする請求項14に記載の絶縁ゲート型半導体素子の製造方法。

【請求項18】

前記レジストパターン形成工程では、前記ゲート電極と前記バスラインとの接続部分の近

50

傍からの距離が増大するにつれて、前記開孔内に露出する第2半導体領域の、所定面積当たりに占める割合が増大するように前記レジストパターンを形成する、ことを特徴とする請求項1-4に記載の絶縁ゲート型半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁ゲート構造を有する絶縁ゲート型半導体素子及びその製造方法に関する。

【0002】

【従来の技術】

絶縁ゲート型半導体素子の一種であるIGBT (Insulated Gate Bipolar Transistor) は、低オン抵抗性、温度特性等が他種の絶縁ゲート型半導体素子と比較して優れており、インバータ回路や電源回路等に利用されている。IGBTには、その特性を向上させるための様々な技術が応用されている（例えば、特許文献1参照）。

10

【0003】

【特許文献1】

特開2002-190594号公報

【0004】

従来のIGBTの断面構成を図14(a)に示す。図14(a)に示すように、IGBTは、比較的低不純物濃度のn型ベース領域51と、n型ベース領域51のn一面に設けられた比較的高不純物濃度のp型のコレクタ領域52と、n型ベース領域51の他面の表面領域に形成されたp型ベース領域53と、比較的低不純物濃度のp型ベース領域53の表面領域に形成された比較的高不純物濃度のn型のエミッタ領域54と、を有する半導体基板50を備える。

20

【0005】

半導体基板50の一面には、p型ベース領域53上に絶縁膜（ゲート絶縁膜）65を介して設けられたゲート電極61と、エミッタ領域54とp型ベース領域53との双方に電気的に接続されたエミッタ電極62と、が設けられ、また、その他面には、コレクタ領域52に接続されたコレクタ電極63が設けられている。エミッタ電極62とゲート電極61とは、層間絶縁膜64によって絶縁されている。

30

【0006】

図14(b)に、図14(a)に示すIGBTを半導体基板50的一面側から見た平面図を示す。なお、図14(b)においては、理解を容易なものとするため、エミッタ電極62と層間絶縁膜64とを省略している。

【0007】

図14(b)に示すように、半導体基板50の一面に、バスライン（ゲートバスライン）71が設けられている。バスライン71は、半導体基板50の周縁近くに設けられた環状部74と、環状部74からその内側に互いに対向して直線状に伸びた幹部72、73と、を有する。環状部74はパッド部75を有し、パッド部75において外部電極に接続される。

40

【0008】

幹部72、73からは、その両側に、複数のゲート電極61が帯状の櫛歯状に設けられている。バスライン71の幹部72、73と、ゲート電極61とは、電気的に接続している。IGBTに電流が流れる状態、すなわちIGBTがオン状態となるために必要となる電圧は、外部からバスライン71を介してゲート電極61に供給される。

【0009】

ゲート電極61に閾値電圧（スレッショルド電圧）以上のゲート電圧が印加されると、ゲート電極61下のp型ベース領域53にチャネルが形成され、エミッタ領域54とn型ベース領域51とが導通状態（IGBTがオン状態）となる。

【0010】

50

このゲート電圧は、ゲート電極 61 が有する電気抵抗と、ゲート電極 61 とチャネルとの間の寄生容量と、が形成するローパスフィルタなどの影響により、ゲート電極 61 の根本部分（バスライン 71 付近の部分）から延伸方向の縁端（先端部分）に向かって、時間差をおいて伝わってゆく。

【0011】

従って、ゲート電圧の印加時には、IGBT のチャネルは、ゲート電極 61 の根本部分からその先端に向かって、順次に形成される。よって、ゲート電圧印加の初期においては、極めて短時間ではあるが、バスライン 71 の幹部 72、73 近傍の素子領域に、電流が集中して流れれる。

【0012】

【発明が解決しようとする課題】

ここで、何らかの理由で負荷が短絡した状態で IGBT がオン状態となり、IGBT に過大な電流が流れると、結果として IGBT の素子破壊が起きる。所定条件下で IGBT の負荷を短絡したときに流れる電流が IGBT のチャネルを流れ始めてから IGBT が破壊に至るまでの時間は負荷短絡耐量と呼ばれ、IGBT の性能を表す目安のひとつとされている。すなわち、この負荷短絡耐量が大きいほど、IGBT は回路設計の自由度が高く、使いやすいといえる。

【0013】

この負荷短絡耐量の観点からみると、上記構成の IGBT においては、上述したように、バスライン 71 の幹部 72、73 の近傍部分に形成されるチャネルに電流（電子電流）が集中して流れれる期間を生じるため、幹部 72、73 の近傍部分でラッチアップが生じやすく、素子破壊が生じやすい（すなわち、負荷短絡耐量が小さい）、という問題があった。

【0014】

このような問題は、IGBT だけでなく、図 14 (a) 及び (b) に示すのと同様の構成を有する、例えば、MISFET (Metal Insulator Semiconductor Field Effect Transistor) や、その他の絶縁ゲート型半導体素子においても、同様に生じていた。

【0015】

本発明は上記実状に鑑みてなされたもので、ラッチアップが生じ難く、負荷短絡耐量が大きな絶縁ゲート型半導体素子及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】

上記目的を達成するため、本発明の第 1 の観点に係る絶縁ゲート型半導体素子は、第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域の表面領域に帯状に形成された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の表面領域に形成された第 1 導電型の第 3 半導体領域と、前記第 1 半導体領域と前記第 3 半導体領域とに挟まれた前記第 2 半導体領域に対向するように設けられた帶状のゲート電極と、

を備え、

前記第 3 半導体領域は、前記第 2 半導体領域に沿って間欠的に設けられている、ことを特徴とする。

【0017】

上記構成において、前記ゲート電極の一端に接続され、外部電極に接続されるバスラインを備えてもよく、

前記第 3 半導体領域は、前記ゲート電極と前記バスラインとの接続部分の近傍から、前記第 2 半導体領域に沿って間欠的に設けられていてよい。

【0018】

上記構成において、前記第 3 半導体領域は、一定の幅を有し、帯状の前記第 2 半導体領域が延伸する方向における長さが、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大するように設けられていてよい。

【0019】

上記構成において、前記第3半導体領域は、前記ゲート電極と対向する面積が、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大するよう に設けられていてもよい。

【0020】

上記構成において、前記第3半導体領域は、その露出面積が、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大するよう に設けられていてもよい。

【0021】

上記構成において、前記第3半導体領域は、一定の幅を有し、前記ゲート電極と前記バスラインとの接続部分からの距離が増大するにつれて、該第3半導体領域同士の間隔が減少するよう に設けられていてもよい。 10

【0022】

上記構成において、前記第3半導体領域は、所定面積当たりに占める、該第3半導体領域の、前記第2半導体領域の表面における露出面積の割合が、前記ゲート電極と前記バスラインとの接続部分からの距離が増大するにつれて増大するよう に設けられていてもよい。

【0023】

上記目的を達成するため、本発明の第2の観点に係る絶縁ゲート型半導体素子は、第1導電型の第1半導体領域と、

前記第1半導体領域の表面領域に帯状に形成された第2導電型の第2半導体領域と、 20

前記第2半導体領域の表面領域に形成された第1導電型の第3半導体領域と、

前記第1半導体領域と前記第3半導体領域とに挟まれた前記第2半導体領域に対向するよう に設けられた帯状のゲート電極と、

前記第2半導体領域及び前記第3半導体領域に電気的に接続された主電極と、を備え、

前記第2半導体領域と前記主電極との接触部分は、前記第2半導体領域に沿って間欠的に設けられている、ことを特徴とする。

【0024】

上記構成において、前記ゲート電極の一端に接続され、外部電極に接続されるバスラインを備え、前記第2半導体領域と前記主電極との接触部分は、前記ゲート電極と前記バスラインとの接続部分の近傍から、前記第2半導体領域に沿って間欠的に設けられていてもよい。 30

【0025】

上記構成において、前記第2半導体領域と前記主電極との接触部分の面積は、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて減少するよう に設けられていてもよい。

【0026】

上記構成において、前記第3半導体領域は、前記第2半導体領域に沿って間欠的に設けられていてもよい。

【0027】

上記構成において、前記第3半導体領域と前記ゲート電極とが対向する面積が、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大してもよい。

【0028】

上記目的を達成するため、本発明の第3の観点に係る絶縁ゲート型半導体素子の製造方法は、

第1導電型の第1半導体領域の表面領域に、帯状の第2導電型の第2半導体領域を形成する第2半導体領域形成工程と、

前記第1半導体領域および前記第2半導体領域の上に、導体層を形成する導体層形成工程と、 40

10

20

30

40

50

前記導体層をパターニングして、前記第2半導体領域の内周部が露出する帯状の開孔を形成することにより、帯状のゲート電極を形成するパターニング工程と、
帯状の前記開孔の一部を間欠的に残すレジストパターンを形成するレジストパターン形成工程と、

前記導体層及び前記レジストパターンをマスクとして、前記開孔内に第1導電型の不純物を導入し、拡散させて、帯状の前記第2半導体領域の内側に間欠的に露出する第1導電型の第3半導体領域を形成する第3半導体領域形成工程と、
を備える、ことを特徴とする。

【0029】

上記方法は、さらに、前記ゲート電極の一端に接続され、外部電極に接続されるバスラインを形成する工程を備えてもよく、10

前記レジストパターン形成工程では、前記レジストパターンを、前記ゲート電極と前記バスラインとの接続部分の近傍から、前記開孔の一部を間欠的に残すように形成するようにしてもよい。

【0030】

上記方法において、前記レジストパターン形成工程では、帯状の前記第2半導体領域が一定の幅で露出し、露出部分の延伸する方向における長さが、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて増大するように前記レジストパターンを形成するようにしてもよい。

【0031】

上記方法において、前記レジストパターン形成工程では、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて、前記開孔内に露出する第2半導体領域の面積が増大するように前記レジストパターンを形成するようにしてもよい。20

【0032】

上記方法において、前記レジストパターン形成工程では、帯状の前記第2半導体領域が一定の幅で露出し、露出部分同士の間隔が、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて減少するように前記レジストパターンを形成するようにしてもよい。

【0033】

上記方法において、前記レジストパターン形成工程では、前記ゲート電極と前記バスラインとの接続部分の近傍からの距離が増大するにつれて、前記開孔内に露出する第2半導体領域の、所定面積当たりに占める割合が増大するように前記レジストパターンを形成するようにしてもよい。30

【0034】

【発明の実施の形態】

以下、本発明の第1の実施の形態に係る絶縁ゲート型半導体素子について、絶縁ゲート型バイポーラトランジスタ（Insulated Gate Bipolar Transistor；IGBT）を例とし、図面を参照して詳細に説明する。

【0035】

図1(a)に、第1の実施の形態のIGBTの平面図を示し、図1(b)に、このIGBTの部分拡大図を示す。また、図2(a)及び(b)に、図1(b)に示す、IGBTのA-A線矢視断面及びB-B線矢視断面を示す。40

【0036】

なお、理解を容易なものとするため、図1(a)及び(b)中では、後述するエミッタ電極32と層間絶縁膜34とを省略している。

【0037】

第1の実施の形態に係るIGBTは、図1(a)に示すように、略方形の半導体基板10を備える。

【0038】

図2(a)に示す、図1(b)のA-A線矢視断面図に示すように、IGBTは、半導体

10

20

30

40

50

基板 10 と、ゲート電極 31 と、エミッタ電極 32 と、コレクタ電極 33 と、を備える。

【0039】

半導体基板 10 は、n 型ベース領域 11 と、コレクタ領域 12 と、p 型ベース領域 13 と、エミッタ領域 14 と、を備えている。

【0040】

n 型ベース領域 11 は、リン (P) 、ヒ素 (As) 等の n 型の不純物が添加された n 型半導体領域から構成される。n 型ベース領域 11 は、半導体基板 10 の一面を構成する。n 型ベース領域 11 は、例えば、シリコン単結晶基板等の n 型半導体基板から構成される。

【0041】

コレクタ領域 12 は、ボロン (B) 、アルミニウム (Al) 等の p 型の不純物が添加された、後述する p 型ベース領域 13 よりも不純物濃度の高い半導体領域から構成される。コレクタ領域 12 は、半導体基板 10 の他面を構成する。コレクタ領域 12 は、例えば、n 型ベース領域 11 を構成する n 型シリコン基板の一面に p 型の不純物を導入することにより形成される。

【0042】

p 型ベース領域 13 は、n 型ベース領域 11 の表面領域に設けられ、p 型の不純物が添加された p 型の半導体領域から構成される。図中では、2 つであるが、p 型ベース領域 13 は、2 つ以上が互いに所定間隔離間して設けられている。

【0043】

エミッタ領域 14 は、p 型ベース領域 13 の表面領域に設けられ、n 型の不純物が添加された、n 型ベース領域 11 よりも不純物濃度の高い n 型の半導体領域から構成される。エミッタ領域 14 は、p 型ベース領域 13 の Y 方向の外周側にそれぞれ設けられている。言い換えると、各 p 型ベース領域 13 の表面領域には、X 方向に沿って 2 列に、複数のエミッタ領域 14 が所定間隔で並ぶように設けられている。後述するように、n 型ベース領域 11 とエミッタ領域 14 とに挟まれた p 型ベース領域 13 が、チャネル形成領域を構成する。

【0044】

ゲート電極 31 は、少なくとも、n 型ベース領域 11 とエミッタ領域 14 とに挟まれた p 型ベース領域 13 (上記チャネル形成領域) を覆うように設けられている。ゲート電極 31 は、例えば、CVD (Chemical Vapour Deposition) により形成されるポリシリコン膜から構成されている。

【0045】

ゲート電極 31 と上記チャネル形成領域との間には、シリコン酸化膜等から構成されるゲート絶縁膜 35 が設けられている。ゲート電極 31 とゲート絶縁膜 35 とが、IGBT のゲートを構成する。

【0046】

ゲート電極 31 の表面を含む半導体基板 10 の表面は、シリコン酸化膜等から構成される層間絶縁膜 34 によって覆われている。層間絶縁膜 34 には、p 型ベース領域 13 の内周側と、その内側の 2 つのエミッタ領域 14 の内周側と、がその底に露出する開孔 36 が設けられている。

【0047】

図 1 (a) の平面図に示すように、ゲート電極 31 は、半導体基板 10 の一面上に複数設けられ、それぞれが所定間隔をおいて互いに並行して、X 方向に延伸するよう設けられている。

【0048】

半導体基板 10 の一面上には、ゲート電極 31 を外部電極に接続するバスライン (ゲートバスライン) 20 が設けられている。バスライン 20 は、例えば、ゲート電極 31 と同一の工程で形成されたポリシリコン膜上に、アルミニウム等の金属膜が積層されて構成されている。

【0049】

10

20

30

40

50

バスライン20は、所定幅を有する帯状に形成され、半導体基板10の縁辺に沿う枠状の環状部22を備える。環状部22の、対向する二つの長辺の略中央からは、帯状の第1の幹部23と、第2の幹部24と、がそれぞれY方向および-Y方向にそれぞれ延伸している。

【0050】

第1の幹部23と、第2の幹部24とは、同一直線上にそれぞれ逆方向に延伸し、それぞれの先端が半導体基板10の略中心付近において所定距離離間し、接触しないように設けられている。

【0051】

ゲート電極31は、第1および第2の幹部23、24の2つの側辺（長辺）から略垂直に複数延伸し、全体として櫛歯状に設けられている。ゲート電極31の延伸方向の長さは、第1および第2の幹部23、24の側辺から環状部22の短辺までの長さよりも少し短い長さに設定されている。すなわち、ゲート電極31の一端は第1または第2の幹部23、24の側辺に接する一方、その他端は環状部22と接しないよう構成されている。

10

【0052】

環状部22の短辺の一方は、アルミニウム等からなるボンディングパッド21に電気的に接続されている。ボンディングパッド21は、バスライン20と一緒に形成されてもよい。ボンディングパッド21には、図示しないボンディングワイヤが接続され、このボンディングワイヤを介して外部から電圧が印加される。印加された電圧は、バスライン20の第1および第2の幹部23、24を介してゲート電極31に印加される。

20

【0053】

図1(b)の拡大図に示すように、p型ベース領域13は、第1及び第2の幹部23、24を一端としてX方向に延伸するゲート電極31に沿って、半導体基板10の表面に露出するように形成されている。p型ベース領域13は、ゲート電極31と同様に、X方向に櫛歯状に設けられている。

30

【0054】

p型ベース領域13の内側には、上記したように、エミッタ領域14が露出している。図に示すように、エミッタ領域14は、略長方形形状の露出面がX方向に同一直線上に所定間隔毎に並ぶように形成されている。換言すれば、エミッタ領域14は、X方向に延伸するp型ベース領域13の露出面の内側に、間欠的に島状に露出するように設けられている。従って、p型ベース領域13には、図2(b)のB-B線矢視断面図に示すように、エミッタ領域14が設けられていない領域が存在する。

【0055】

また、図1(b)に示すように、エミッタ領域14は、略一定のY方向の幅を有し、ゲート電極31と第1の幹部23との接続部分からの距離が大きくなるにつれて(X方向に向かうにつれて)、その延伸する方向の長さが次第に大きくなるように形成されている。

40

【0056】

また、ゲート電極31と第1又は第2の幹部23、24との接続部分に近いエミッタ領域14の露出面の面積は相対的に小さく、接続部分から遠いエミッタ領域14の露出面の面積は相対的に大きくなるように構成されている。

【0057】

さらにまた、エミッタ領域14は、ゲート電極31と対向する面積が、その延伸方向において次第に増大するように設けられている。

【0058】

なお、図1(b)においては、実質的に同一の露出面積を有するエミッタ領域14が、2つずつ連続してX方向に沿って並ぶように形成されている。

【0059】

図2(a)を参照して、エミッタ電極32は、開孔36の内部を充填し、p型ベース領域13およびエミッタ領域14と電気的に接觸するように設けられている。エミッタ電極32は、PVD(Physical Vapor Deposition)により形成され

50

たアルミニウム膜等から構成され、例えば、複数の開孔 3 6 内を埋め込みつつ連続した膜として形成される。

【0060】

コレクタ電極 3 3 は、PVD 等により形成されたアルミニウム膜等から構成されており、半導体基板 1 0 の他面のコレクタ領域 1 2 上に設けられている。従って、コレクタ電極 3 3 はコレクタ領域 1 2 と接続されている。

【0061】

次に、上記構成の IGBT を製造する方法について、図 3 (a) ~ (d) 及び図 4 (e) ~ (g) を参照して説明する。なお、以下に説明する工程は一例であり、同様の構造が得られるのであれば、いかなるものであっても差し支えない。

10

【0062】

まず、n 型の不純物が導入された n 型の半導体基板 1 0 を用意する。そして、半導体基板 1 0 の下面に p 型の不純物を拡散し、図 3 (a) に示すように、後に形成する p 型ベース領域 1 3 より不純物濃度の高い p 型の半導体層を形成する。これにより、上述したコレクタ領域 1 2 が形成される。

なお、n 型の基板に p 型のエピタキシャル層を形成するようにしてもよい。

【0063】

次に、半導体基板 1 0 の上面に酸化処理等を施して、図 3 (b) に示すように、シリコン酸化膜 4 0 を形成する。続いて、シリコン酸化膜 4 0 上に、CVD 等によりポリシリコン膜を形成する。その後、フォトリソグラフィ法等を用いて、ポリシリコン膜およびシリコン酸化膜 4 0 をパターニングすることにより、図 3 (c) に示すように、開孔 3 7 を形成する。このとき、櫛歯状のゲート電極 3 1 及びゲート絶縁膜 3 5 が形成される。

20

【0064】

次に、ゲート電極 3 1 を構成するポリシリコン膜をマスクとして、イオン注入等により p 型不純物を n 型ベース領域 1 1 に注入し、図 3 (d) に示すように、p 型の半導体領域、すなわち、p 型ベース領域 1 3 を形成する。

【0065】

次に、半導体基板 1 0 の表面に、レジストを塗布形成し、露光現像して、図 4 (e) に示すように、レジストパターン 4 2 を形成する。レジストパターン 4 2 は、図 5 に示すように、ポリシリコン膜の帯状の開孔 3 7 の一部を間欠的に残すように設けられる。

30

【0066】

レジストパターン 4 2 は、p 型ベース領域 1 3 の、エミッタ領域 1 4 を形成しない、「間引き」領域上に設けられる。図 5 に示すように、レジストパターン 4 2 は、Y 方向の幅が狭い幅狭部 4 2 a と、Y 方向の幅が広い幅広部 4 2 b とを有する。図 5 においては、各幅広部 4 2 b の X 方向の長さがエミッタ領域 1 4 同士の X 方向の間隔を決定し、幅広部 4 2 b 同士の間隔がエミッタ領域 1 4 の X 方向の長さ（ひいては、露出面積）を決定する。

【0067】

例えば、第 1 又は第 2 の幹部 2 3、2 4 とゲート電極 3 1 との接触部分から遠ざかるにつれて（X 方向に向かうにつれて）、開孔 3 7 内に露出する p 型ベース領域 1 3 の長さが増大するようにレジストパターン 4 2 を形成することにより、図 1 (b) に示すような、延伸方向の長さおよび露出面積が漸増するエミッタ領域 1 4 を形成することができる。

40

【0068】

このようにレジストパターン 4 2 が形成されたポリシリコン膜をマスクとして、イオン注入等によって n 型不純物を p 型ベース領域 1 3 に注入する。またこのとき、ポリシリコン膜には不純物が導入され、所望の導電性が付与される。不純物導入の後、レジストパターン 4 2 は、アッシングによって除去される。

【0069】

不純物の導入により、エミッタ間引き領域への不純物導入は防がれる一方で、エミッタ形成領域には n 型の半導体領域が形成される。続いて、n 型半導体領域を拡散させることにより、図 4 (f) に示すように、エミッタ領域 1 4 が形成される。このようにして、図 1

50

(b) に示すような、間欠的に配置されたエミッタ領域 14 が形成される。

【0070】

続いて、CVD 等により、半導体基板 10 の上面に、ゲート電極 31 を被覆するようにシリコン酸化膜を形成する。続いて、熱処理により、シリコン酸化膜の膜質を安定化させ、また、その表面を平坦化する。そして、シリコン酸化膜をエッチングして、図 4 (g) に示すように、開孔 36 を有する層間絶縁膜 34 を形成する。

【0071】

次いで、半導体基板 10 の上面に、PVD 等によって、アルミニウム膜等の金属膜を形成する。これをパターニングすることにより、開孔 36 を介して p 型ベース領域 13 とエミッタ領域 14 とに電気的に接続されるエミッタ電極 32 が形成される。また、このとき、図 1 (a) に示すような、バスライン 20、ボンディングパッド 21 が形成される。

10

【0072】

続いて、半導体基板 10 の下面に、PVD 等により、アルミニウム膜等から構成されるコレクタ電極 33 を形成する。以上の工程により、図 1 (a) に示す平面形状と、図 2 (a) および (b) に示すような断面と、を有する IGBT が形成される。

【0073】

次に、上記構成を有する第 1 の実施の形態の IGBT の動作について説明する。まず、IGBT のゲート電極 31 にバスライン 20 の第 1 及び第 2 の幹部 23、24 を介して電圧が印加されると、電界が生じ、空乏層がゲート絶縁膜 35 下の p 型ベース領域 13 の表面領域に形成される。印加される電圧がスレッショルド電圧以上になると、p 型ベース領域 13 の表面領域には反転層 (n-チャネル) が形成される。

20

【0074】

この結果、エミッタ領域 14 からチャネルを介して n 型ベース領域 11 に電子が注入されるようになり、また、コレクタ領域 12 から n 型ベース領域 11 に正孔が注入されるようになる。従って、エミッタ領域 14 とコレクタ領域 12 との間に、チャネル及び n 型ベース領域 11 を介して電流が流れ、IGBT はオン状態となる。この電流はさらに p 型ベース領域 13 を通ってエミッタ電極 32 から外部に流れれる。

【0075】

ゲート電極 31 に印加されるゲート電圧は、ゲート電極 31 が有する電気抵抗と、ゲート電極 31 およびチャネル間の寄生容量と、が形成するローパスフィルタなどの影響により、バスライン 20 からゲート電極 31 の先端に向かって、遅延を伴って伝わってゆく。従って、ゲート電圧印加の初期においては、極めて短時間ではあるが、バスライン 20 の第 1 及び第 2 の幹部 23、24 との接続部分に近い素子領域には比較的大きな電流が集中して流れれる。

30

【0076】

このとき、何らかの理由で負荷短絡状態が発生し、過大な電流が IGBT に流れれる場合、特に、第 1 及び第 2 の幹部 23、24 との接続部分に近い素子領域において、いわゆるラッチアップが発生しやすい。

【0077】

ここで、ラッチアップについて図 6 を参照して説明する。ラッチアップとは、基板の他面からの電流 (正孔電流) が大きくなり、その正孔電流の経路に存在するエミッタ直下の抵抗 (R_B) により電位差が発生し、発生した電位差をゲート電圧とする寄生サイリスタがオンする現象をいう。ラッチアップ状態で IGBT のコレクタからエミッタに流れれる電流は、寄生サイリスタを流れるため、IGBT のゲート電圧により制御不能である。このため、ラッチアップが発生した IGBT は素子破壊に至る。

40

【0078】

第 1 の実施の形態の IGBTにおいては、p 型ベース領域 13 の延伸方向に沿ってエミッタ領域 14 が間欠的に露出するように配置され、その延伸方向の長さが第 1 又は第 2 の幹部 23、24 との接続部分からの距離が大きくなるにつれて大きくなるように形成されている。これにより、p 型ベース領域 13 とエミッタ電極 32 との接触部分の面積が、第 1

50

又は第2の幹部23、24とゲート電極31との接続部分の近傍では広く、接続部分から離れるにつれて狭くなる。

【0079】

上述したように、ゲート電極31と、バスライン20の第1及び第2の幹部23、24との接続部分近傍の領域は、素子内で最初にオン状態となる。しかし、第1及び第2の幹部23、24に近いエミッタ領域14の延伸方向の長さが短く、従って、露出面積ひいてはゲート電極31との対向面積は比較的小さいことから、エミッタ領域14からp型ベース領域13に流れ込む電子電流は比較的小さいものに制限される。このため、コレクタから流れ込む正孔電流は第1及び第2の幹部23、24に近いエミッタ領域14では比較的小さく、結果としてラッチアップの発生は良好に防止される。

10

【0080】

このように、第1の実施の形態のIGBTは、バスライン20の第1及び第2の幹部23、24の近傍におけるラッチアップに対する余裕度が大きく、負荷短絡状況におけるオン状態初期に集中的に流れる電流によって寄生サイリスタがラッチアップすることが良好に防止され、高い破壊耐量を有する。

【0081】

次に、本発明の第2の実施の形態に係る絶縁ゲート型半導体素子について、絶縁ゲート型バイポーラトランジスタ(IGBT)を例とし、図面を参照して詳細に説明する。

【0082】

第2の実施の形態に係るIGBTでは、エミッタ領域14の形成領域が第1の実施の形態とは異なる。これ以外の構成については、第1の実施の形態と実質的に同一である。

20

【0083】

図7は、第2の実施の形態に係るIGBTの部分拡大図を示す。なお、理解を容易なものとするため、図7中ではエミッタ電極32と層間絶縁膜34とを省略している。

【0084】

第2の実施の形態において、エミッタ領域14は、第1の実施の形態と同様に、p型ベース領域13の表面領域に設けられ、n型の不純物が添加された、n型ベース領域11よりも不純物濃度の高いn型の半導体領域から構成される。

30

【0085】

ただし、第2の実施の形態では、図7に示すように、エミッタ領域14は、X方向の長さ及びY方向の幅が略一定となるように形成され、ゲート電極31と第1の幹部23との接続部分からの距離が大きくなるにつれて(X方向に向かうにつれて)、それらの延伸方向の間隔が次第に狭くなるように形成されている。

【0086】

このため、ある一定の所定面積当たりに占める、エミッタ領域14の、p型ベース領域13の表面における露出面積の割合は、ゲート電極31と第1又は第2の幹部23、24との接続部分に近いほど小さく、第1の幹部23との接続部分から離れるにつれて次第に大きくなる。

上記以外の構成は、第1の実施の形態で示した構成と実質的に同一である。

40

【0087】

なお、エミッタ領域14同士の間隔は最終的にゼロとなって、複数のエミッタ領域14が連続するように形成されてもよい。

【0088】

次に、第2の実施の形態に係るIGBTを製造する方法について説明する。なお、以下に説明する工程は一例であり、同様の構造が得られるものであれば、いかなるものであっても差し支えない。

【0089】

n型の不純物が導入されたn型の半導体基板10を用意し、p型ベース領域13を形成するところまでは、第1の実施の形態(図3(a)～図3(d))と実質的に同一である。

50

【0090】

p型ベース領域13を形成した後、半導体基板10の表面に、レジストを塗布形成し、露光現像して、図8(a)に示すように、レジストパターン45を形成する。レジストパターン45は、図8(b)に示すように、ポリシリコン膜の帯状の開孔37の一部を間欠的に残すように設けられる。

【0091】

レジストパターン45は、第1の実施の形態と同様に、Y方向の幅が狭い幅狭部45aと、Y方向の幅が広い幅広部45bと、を有し、p型ベース領域13のエミッタ領域14を形成しない、「間引き」領域上に設けられる。

【0092】

ただし、第2の実施の形態では、図8(b)に示すように、幅広部45b同士のX方向の間隔は、実質的に等しく形成される。また、各幅広部45bのX方向の長さは、第1又は第2の幹部23、24とゲート電極31との接触部分から遠ざかるにつれて(X方向に向かうにつれて)、短くなるように形成される。

10

これにより、図7に示すような、延伸方向の間隔が徐々に狭くなるエミッタ領域14を形成することができる。

【0093】

このようにレジストパターン45が形成されたポリシリコン膜をマスクとして、イオン注入等によってn型不純物をp型ベース領域13に注入する。またこのとき、ポリシリコン膜には不純物が導入され、所望の導電性が付与される。不純物導入の後、レジストパターン45は、アッシングによって除去される。

20

【0094】

不純物の導入により、エミッタ間引き領域への不純物導入は防がれる一方で、エミッタ形成領域にはn型の半導体領域が形成される。続いて、n型半導体領域を拡散させることにより、図7に示すような、間欠的に配置されたエミッタ領域14が形成される。

【0095】

以降は、第1の実施の形態と実質的に同一の工程が行われ、図7に示すエミッタ領域14を有するIGBTが形成される。

【0096】

第1の実施の形態で示したように、ゲート電極31と、バスライン20の第1及び第2の幹部23、24と、の接続部分近傍の領域は、素子内で最初にオン状態となる。しかし、第2の実施の形態では、第1及び第2の幹部23、24に近い部分では、エミッタ領域14同士の間隔が広く、第1及び第2の幹部23、24から離れるにつれて、エミッタ領域14同士の間隔が狭くなるように設定されている。

30

【0097】

このように、第2の実施の形態では、エミッタ領域14同士の間隔を変化させることにより、正孔引抜孔の大きさ(p型ベース領域13とエミッタ電極32との接触部分の面積)を、第1又は第2の幹部23、24とゲート電極31との接続部分の近傍では大きく、接続部分から離れるにつれて小さくする。これにより、接続部分近傍では正孔電流に対する抵抗が小さくなり、負荷短絡状況におけるオン状態初期に集中的に流れる電流によって寄生サイリスタがラッチアップすることが良好に防止される。即ち、第2の実施の形態にかかるIGBTは、高い破壊耐量を有する。

40

【0098】

本発明は、上記した第1及び第2実施の形態に限られず、種々の変形、応用が可能である。

例えば、上記第1及び第2の実施の形態に示したIGBTにおいて、反対導電型とした構成としてもよい。

【0099】

また、上記第1の実施の形態では、同一の露出面積を有するエミッタ領域14が、X方向に2つずつ連続して並ぶように配置するものとした。しかし、これに限らず、同一の露出面積が連続しない構成や、露出面積が3つ以上連続する構成も可能である。

50

【0100】

また、上記第1及び第2の実施の形態では、同一のp型ベース領域13内に、エミッタ領域14がX方向に2列に並んで形成される場合を示したが、エミッタ領域14は、同一のp型ベース領域13内に1列に並んで形成されてもよい。また、もし可能であるならば、同一のp型ベース領域13内に、エミッタ領域14が3列以上並ぶように形成されてもよい。

【0101】

例えば、第1の実施の形態では、図9に示すように、各p型ベース領域13にエミッタ領域14をX方向に沿って1列だけ設ける構成としてもよい。なお、この場合は、上記したレジストパターン42は、図10(a)及び(b)に示すように形成される。

10

【0102】

具体的には、レジストパターン42は、上記した幅狭部42aを備えず、幅広部42bのみから構成される。即ち、各レジストパターン42(各幅広部42b)のX方向の長さは実質的に等しく、レジストパターン42同士の間隔が、第1又は第2の幹部23、24とゲート電極31との接触部分から遠ざかるにつれて(X方向に向かうにつれて)増大するように形成される。

【0103】

このようなレジストパターン42をマスクとしてn型不純物をp型ベース領域13に注入することにより、図9に示すような、エミッタ領域14を形成することができる。

20

【0104】

また、第2の実施の形態でも、例えば図11に示すように、各p型ベース領域13にエミッタ領域14をX方向に沿って1列だけ設ける構成としてもよい。なお、この場合は、上記したレジストパターン45は、図12(a)及び(b)に示すように形成される。

【0105】

具体的には、レジストパターン45は、上記した幅狭部45aを備えず、幅広部45bのみから構成される。即ち、レジストパターン45(幅広部45b)同士のX方向の間隔は、実質的に等しく、各レジストパターン45のX方向の長さは、第1又は第2の幹部23、24とゲート電極31との接触部分から遠ざかるにつれて(X方向に向かうにつれて)減少するように形成される。

【0106】

このようなレジストパターン45をマスクとしてn型不純物をp型ベース領域13に注入することにより、図11に示すような、エミッタ領域14を形成することができる。

30

【0107】

また、図9及び11では、p型ベース領域13の、エミッタ領域14が形成されていない部分(正孔引抜孔)の表面形状が四角形である場合を示したが、p型ベース領域13をn型ベース領域11の表面に露出させることができれば、円、楕円など、どのような形状であってもよい。

【0108】

また、上記したように、エミッタ領域14同士の間隔、及び、エミッタ領域14の、半導体基板10の表面における露出面積を変化させることにより、容易に、正孔引抜孔の大きさを、第1又は第2の幹部23、24とゲート電極31との接続部分から離れるにつれて小さくすることができる。しかし、正孔引抜孔の大きさを上記接続部分から離れるにつれて小さくすることができれば、エミッタ領域14同士の間隔、及び、エミッタ領域14の露出面積は一定であってもよい。例えば、正孔引抜孔の大きさが上記接続部分から離れるにつれて小さくなるようなパターンを有する絶縁膜を半導体基板10上に形成し、その上に、エミッタ電極32を形成するようにしてもよい。

40

【0109】

また、上記発明の実施の形態では、IGBTを例に説明したが、これに限定されない。本発明は、例えば、絶縁ゲート型電界効果トランジスタ(Metal Insulator Semiconductor Field Effect Transistor; MIFT)

50

I S F E T) や、その他の絶縁ゲート型半導体素子に適用してもそれなりの効果が得られる。

【0110】

この場合、例えば、上記 I G B T のコレクタ領域 1 2 を省き、エミッタ領域 1 4 と n 型ベース領域 1 1 を、それぞれソース領域、ドレイン領域とすればよい。

【0111】

また、上記第 1 及び第 2 の実施の形態では、ゲート電極 3 1 は、その一端がバスライン 2 0 の第 1 又は第 2 の幹部 2 3、2 4 と接続される一方、他端がバスライン 2 0 の環状部 2 2 に接していない場合を例として説明した。しかし、図 1 3 に示すように、ゲート電極 3 1 の長さを、対向する第 1 又は第 2 の幹部 2 3、2 4 の長辺と、環状部 2 2 の短辺までの距離とし、ゲート電極 3 1 がこれらの双方に接続される構成としてもよい。

10

【0112】

この場合、環状部 2 2 と、第 1 又は第 2 の幹部 2 3、2 4 と、の近傍から、ゲート電極 3 1 の中心に向かってエミッタ領域 1 4 の露出面積が次第に大きくなるように構成すればよい。又は、環状部 2 2 と、第 1 又は第 2 の幹部 2 3、2 4 と、の近傍から、ゲート電極 3 1 の中心に向かってエミッタ領域 1 4 同士の間隔が狭くなるように構成すればよい。これにより、バスライン 2 0 とゲート電極 3 1 の両端との接続部分の近傍におけるラッチアップは良好に防止される。

【0113】

【発明の効果】

20

以上説明したように、本発明によれば、ラッチアップが生じ難く、負荷短絡耐量が大きな絶縁ゲート型半導体素子及びその製造方法が提供される。

【図面の簡単な説明】

【図 1】 図 1 (a) は第 1 の実施の形態にかかる I G B T の平面図であり、図 1 (b) は図 1 (a) の I G B T の部分拡大図である。

【図 2】 図 2 (a) は図 1 (b) に示す I G B T の A-A 線矢視断面図であり、図 2 (b) は B-B 線矢視断面図である。

【図 3】 図 3 (a) ~ 図 3 (d) は、I G B T の製造工程を示す図である。

【図 4】 図 4 (e) ~ 図 4 (g) は、I G B T の製造工程を示す図である。

【図 5】 エミッタ間引き領域の形成方法を示す図である。

30

【図 6】 ラッチアップの説明に関する図である。

【図 7】 第 2 の実施の形態にかかる I G B T の部分拡大図である。

【図 8】 図 7 に示す構成を実現するための、エミッタ間引き領域の形成方法を示す図である。

【図 9】 本発明の変形例を示す図である。

【図 10】 図 9 に示す構成を実現するための、エミッタ間引き領域の形成方法を示す図である。

【図 11】 本発明の変形例を示す図である。

【図 12】 図 11 に示す構成を実現するための、エミッタ間引き領域の形成方法を示す図である。

40

【図 13】 本発明の変形例を示す図である。

【図 14】 図 14 (a) は従来の I G B T の断面図であり、図 14 (b) はその平面図である。

【符号の説明】

1 0 半導体基板

1 1 n 型ベース領域

1 2 コレクタ領域

1 3 p 型ベース領域

2 0 バスライン

2 1 ボンディングパッド

50

2 2 環状部

2 3、2 4 第1および第2の幹部

3 1 ゲート電極

3 2 エミッタ電極

3 3 コレクタ電極

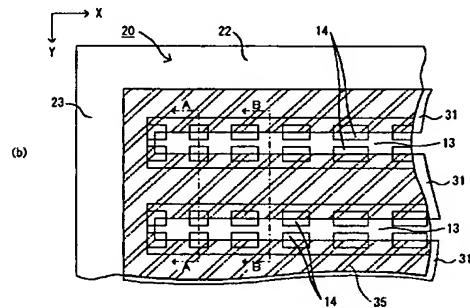
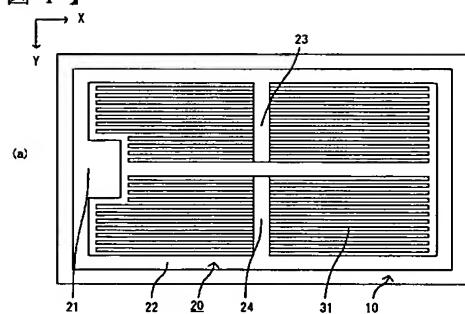
3 4 層間絶縁膜

3 5 ゲート絶縁膜

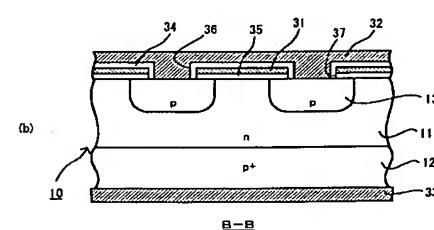
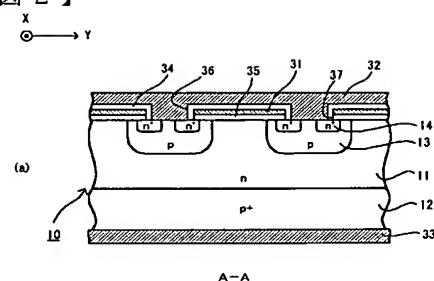
4 2 レジストパターン

4 5 レジストパターン

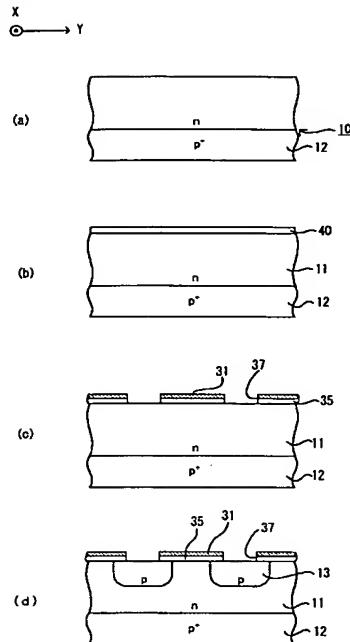
【図1】



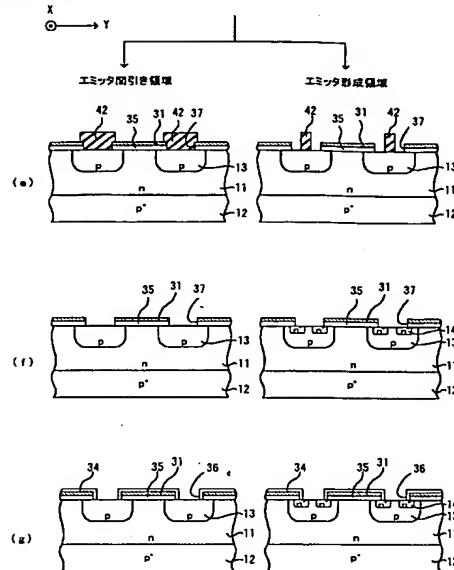
【図2】



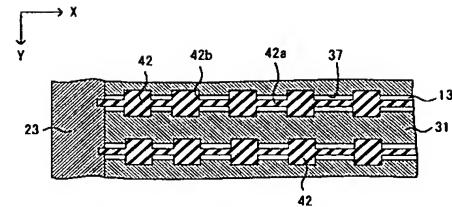
【図 3】



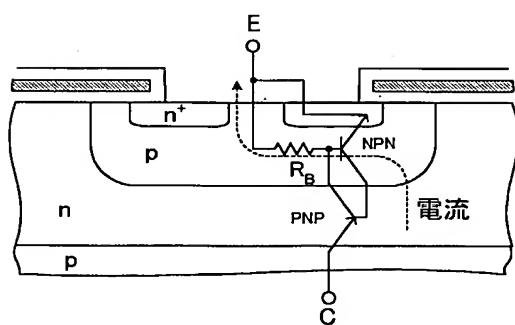
【図 4】



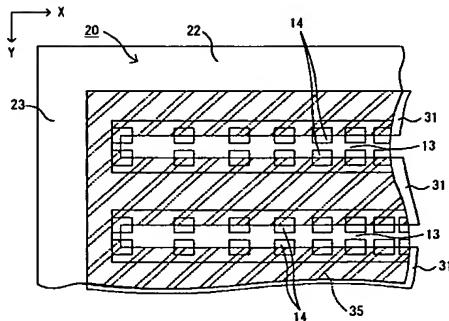
【図 5】



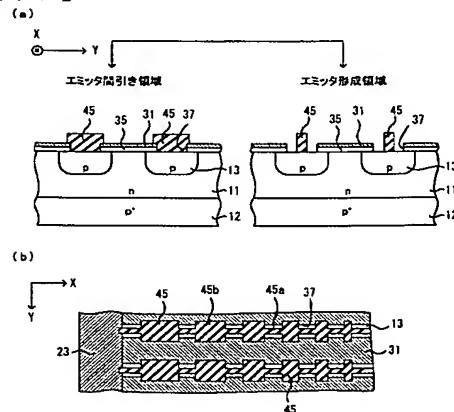
【図 6】

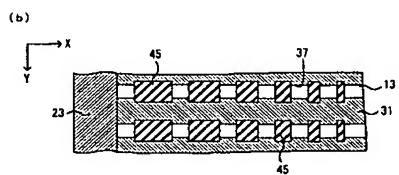
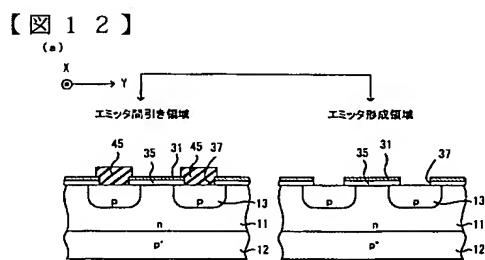
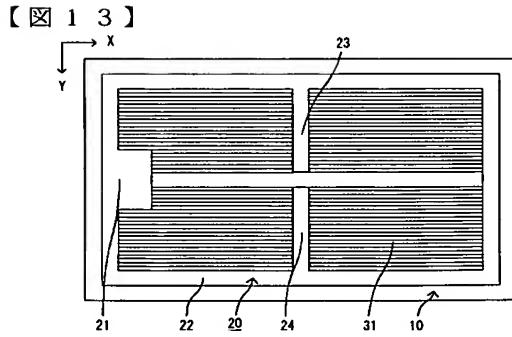
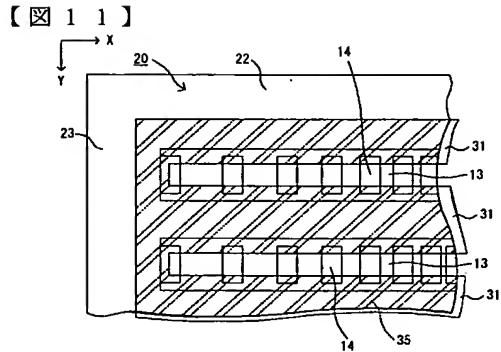
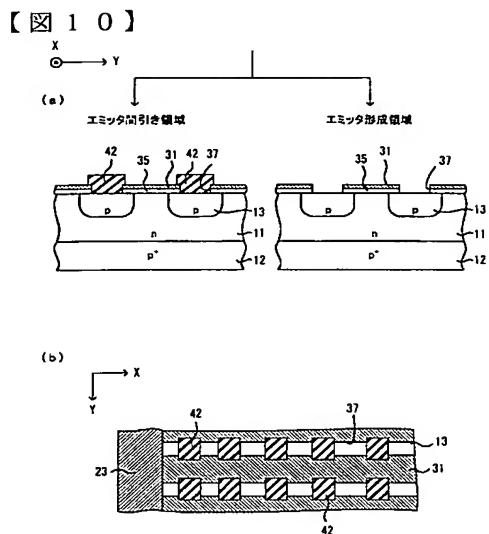
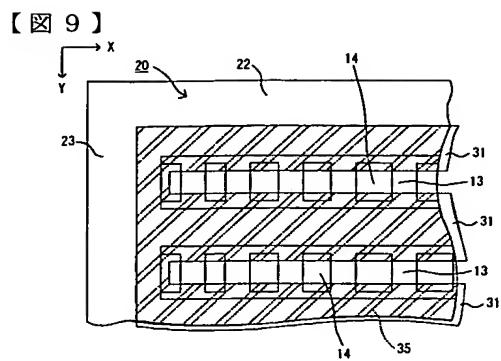


【図 7】



【図 8】





【図 1 4】

